

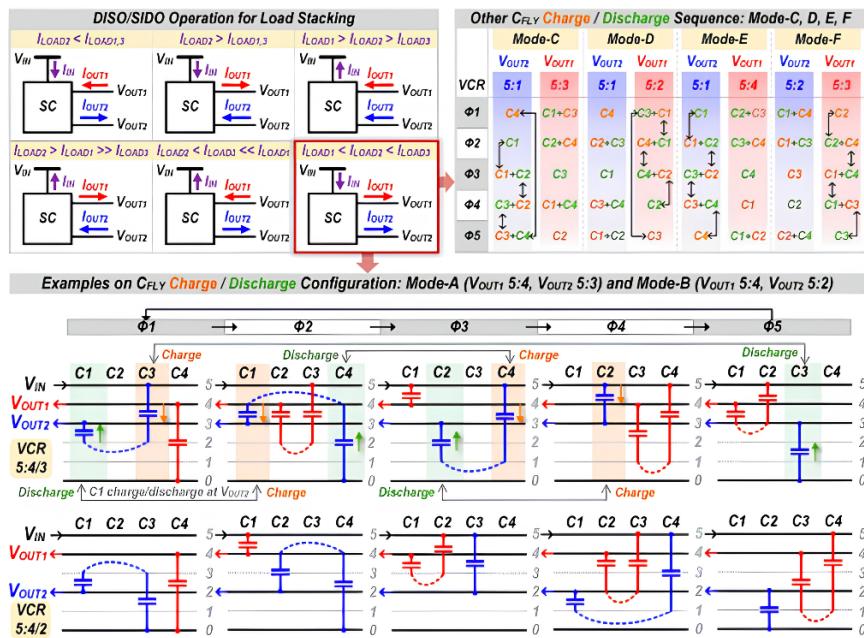
A-SSCC 2025 Review

KAIST 전기 및 전자공학부 박사과정 박수언

Session 2 Switching-Based Power Converters

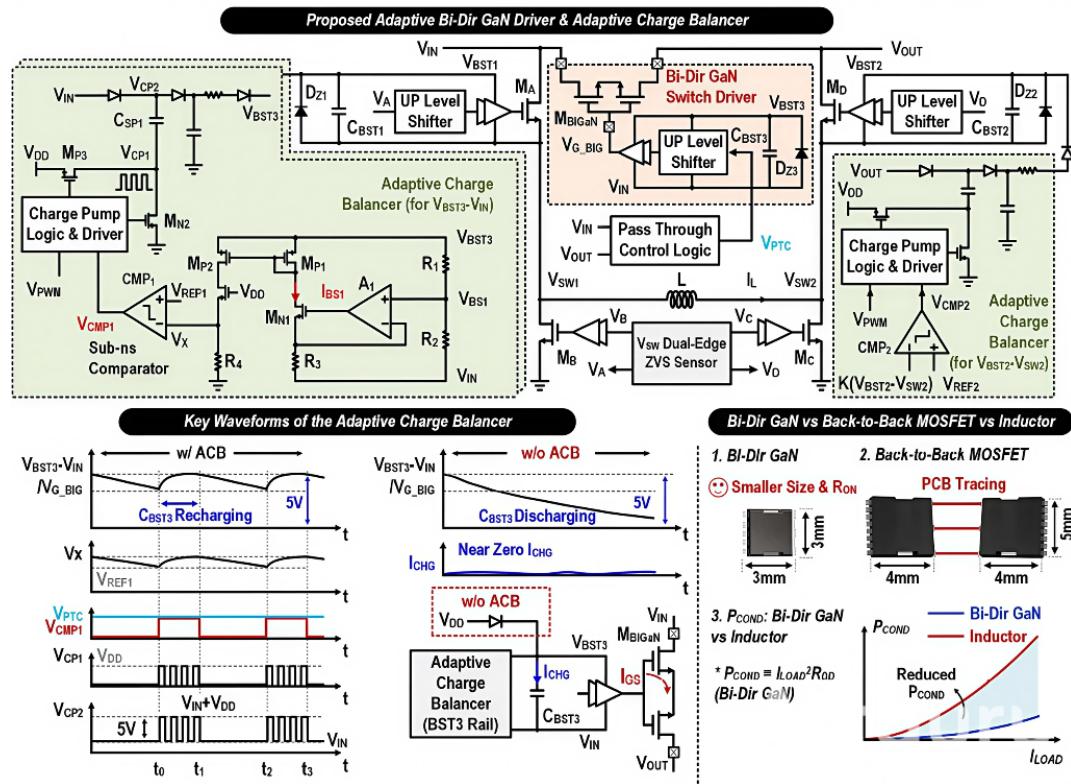
이번 2025 A-SSCC의 Session 2에서는 차세대 Switching-Based Power converter 기술을 중심으로 총 4편의 논문이 발표되었다. 고효율, 안정성을 목표로 한 다양한 기술들이 소개되었으며, 2025년에는 Load-stacking의 cross-regulation 완화 및 고속 DVS 기능을 갖춘 SIDO/DISO 및 IVR의 안정도 조정 기법 등 차세대 기술을 다룬 논문들이 채택되었다.

#2-2 논문은 Macau 대학에서 발표한 논문으로, Load-stacking 시스템을 위한 Cross-Regulation (상호 간섭) 억제 및 고속 DVS를 지원하는 SIDO/DISO SC 컨버터를 설계한 것이다. Load-stacking은 시스템 효율을 높이지만, 부하 전류의 Series-연결, 공유로 인해 출력 간의 상호 간섭 문제와 느린 DVS 속도가 해결해야 할 사항이다. 제안한 핵심 기술은 각 출력 VOUT1,2에 대해 플라잉 커패시터의 충/방전이 독립적인 시퀀스로 완료되도록 하여 출력 간 상호 간섭을 억제한다. 또한, 부하 불균형 발생 시 커패시터를 활용한 즉각적인 전력 재할당을 모드 변환을 통해 이루어내며 4개의 플라잉 커패시터로 6개의 VCR 모드를 지원하여 빠른 DVS 속도 및 시스템 효율을 개선하였다. 결과적으로, Cross Regulation을 기준 대비 약 6배 개선 및 46.6mV/ns의 빠른 응답 속도를 달성하였다.



[그림 1] 독립적 플라잉 커패시터 충/방전을 이용한 출력 상호간섭 억제 및 전력 재할당 동작

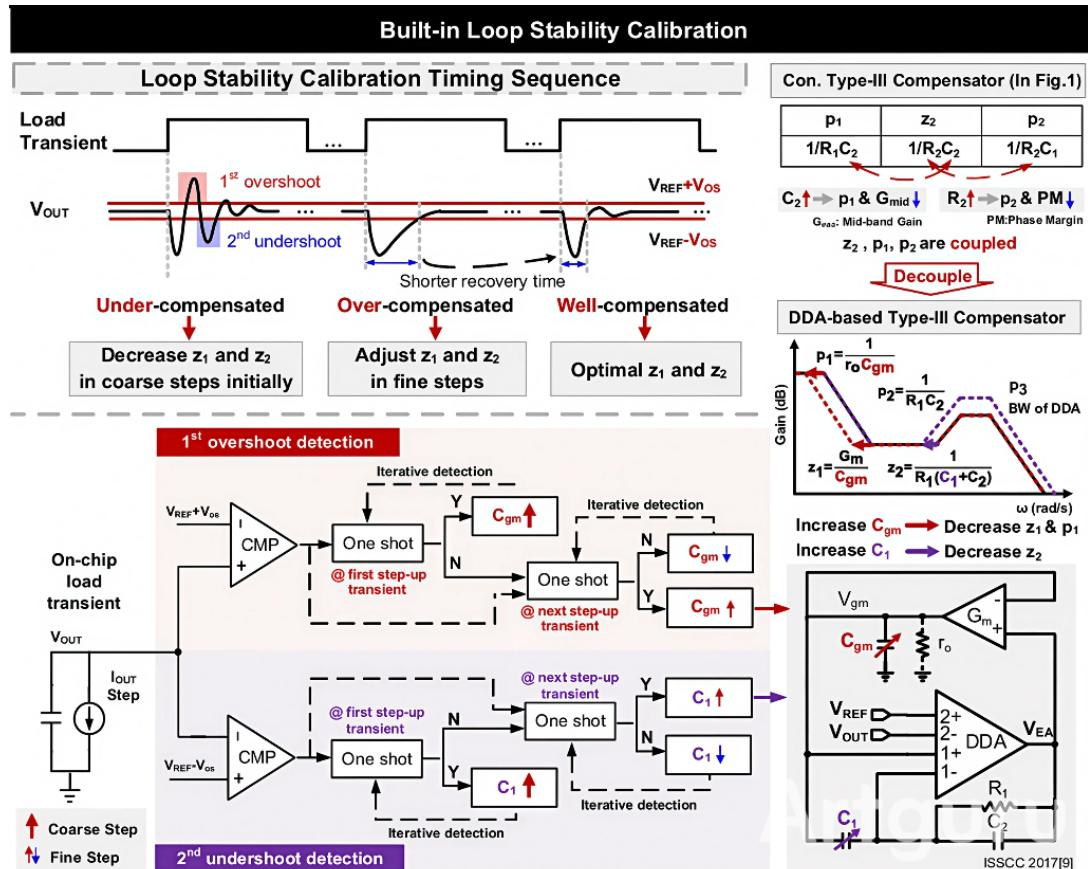
#2-3 논문은 이동형 태양광 패널을 위한 Soft-switching이 가능한 Bi-directional 벽-부스트 컨버터 논문이다. 벽-부스트 컨버터는 입, 출력 전압이 비슷한 상황에서 High-Side (HS) NMOS 스위치를 계속 켜 두면 부트스트랩 커패시터의 방전으로 시스템이 꺼지는 위험이 존재한다. 또한, 하드 스위칭으로 발생하는 스위칭 손실은 효율을 크게 떨어뜨린다. 제안한 핵심 기술은 입, 출력전압이 같은 상황에서 부트스트랩 전압을 모니터링하고, 부족 시 차지 펌프 동작으로 재충전하여 HS 스위치의 always-on을 유지하여 시스템-off를 방지한다. 또한, 스위칭 노드 전압의 순간적인 변화를 검출하여, 4개의 GaN 스위치를 추가적인 소자 사용 없이 ZVS 턴-온을 가능하게 한다. 그 결과 3~65V의 넓은 입력 전압 범위에서 300W의 출력을 내며 ZVS 동작으로 Peak 97.8% 효율 달성을 및 입, 출력 전압이 비슷한 상황에서의 안정적인 전압 제어를 가능하게 하였다.



[그림 2] 입, 출력 전압이 비슷한 상황에서의 부트스트랩 전압 모니터링/유지 회로

#2-4 논문은 Loop Stability Calibration 기능 및 개선된 전류 센싱 기능을 갖춘 6-Phase IVR 논문이다. IVR은 특성 상 패시브 소자 (L , C)의 공정 편차로 인해 제어 루프가 불안정해질 수 있으며, 이를 외부 장비 없이 안정도를 보정하기 어렵고, CPU의 부하량을 확인할 수 있는 기존 전류 센서는 스위칭 노이즈와 센스-앰프의 대역폭 제한으로 큰 오차를 갖는 문제가 있다. 제안한 핵심 기술은 Load-Transient 시 발생하는 over/undershoot을 감지하여, Type-III 보상기의 zero 위치를 자동적으로 튜닝하여 안정성을 확보한다. DDA를

이용한 type-III 보상기로, zero와 pole 분리를 통해 zero 주파수만을 이동시키도록 하여 제어 안정도를 조정할 수 있는 장점이 있다. 또한, 오프-타임의 1/2 지점을 타겟팅/샘플링하여 100ps 지연에도 1% 미만의 오차를 달성하는 전류 센싱 정확도를 달성하였다. 그 결과 안정적인 출력 전압 regulation 및 기준 전류 센싱 대비 24.4%의 3-sigma 정확도를 개선하는 결과를 얻었다.



[그림 3] zero/pole 분리된 DDA-Based Type-III Compensator 및 안정도 조정 알고리즘

저자정보



박수언 박사과정 대학원생

- 소속 : KAIST
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://icdesignlab.net/students>

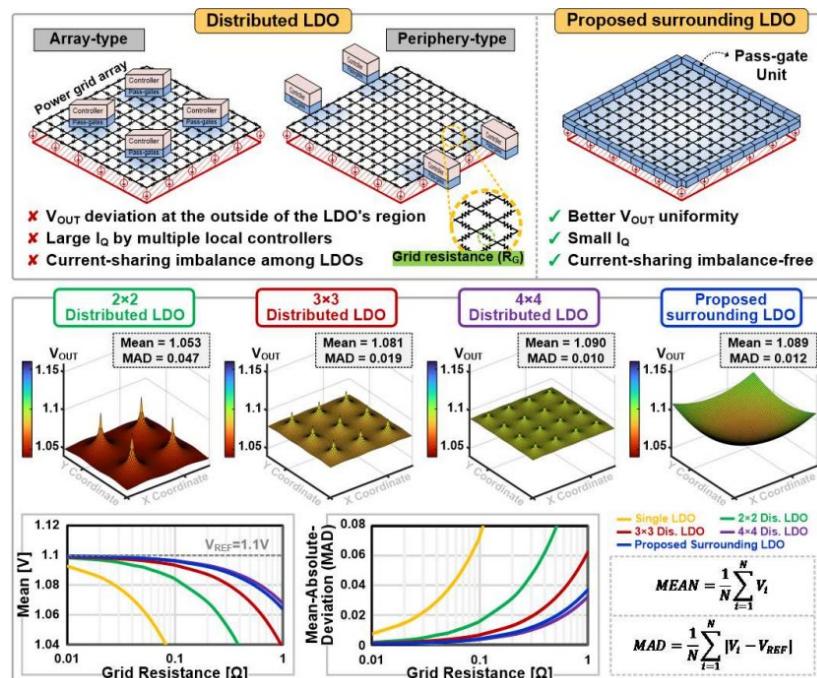
A-SSCC 2025 Review

고려대학교 전기전자공학과 박사과정 이윤호

Session 5 Monitoring, Regulation, and References

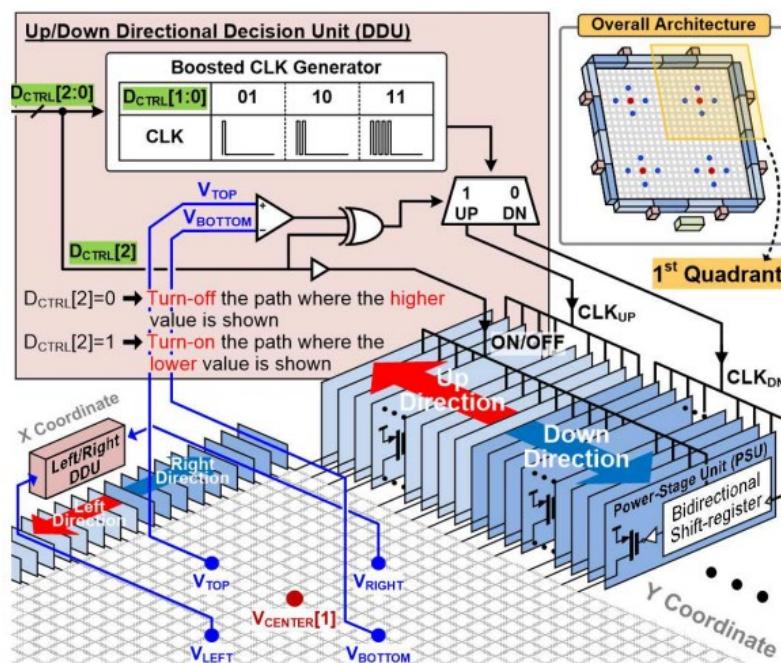
이번 A-SSCC 2025의 Session 5는 모니터링 및 레귤레이션 등과 관련된 총 5편의 논문이 발표되었다. 본 논문 리뷰에서는 이들 중 surrounding pass-gate를 이용한 디지털 분산형 LDO와 GaN HEMT의 특성을 이용한 하이브리드 LDO 논문에 대해 알아보고자 한다.

#5-2 본 논문은 고성능 컴퓨팅(HPC) 등의 발전으로 디지털 시스템의 코어(Core) 수가 증가함에 따라 전력 소모가 급증하는 문제에 대응하여, 전력 관리의 효율성을 극대화하고 칩 내부의 국부(Local) 전압 변동을 최소화하기 위한 Surrounding Pass-gate 기반의 디지털 분산형 LDO를 제시하였다. 아래 그림 1과 같이 기존 분산형 LDO(Distributed LDO) 구조는 LDO 간의 전류 불균형 문제와 많은 로컬 컨트롤러 사용으로 인한 높은 대기 전류 증가로 인해 전류 효율이 저하되는 문제가 있었다. 또한, 전체 출력 전압 제어가 로컬 LDO의 지정된 소수 센싱 노드에 국한되어, 센싱 되지 않은 영역에서 국부적인 전압 편차가 크게 발생하는 근본적인 한계가 있었다.



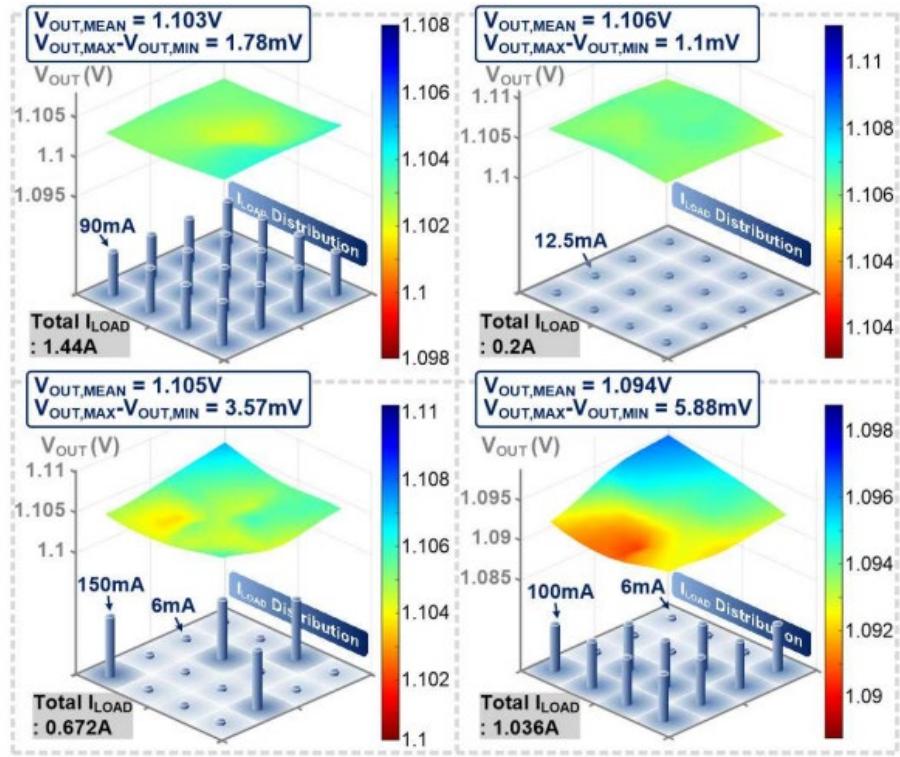
[그림 1] 기존의 분산형 LDO 구조와 제안하는 방식의 LDO 구조 간의 차이(위) 및 국부(local) 전압 불균형에 따른 출력 전압(V_{OUT}) 편차(아래)

이러한 문제를 해결하기 위해, 본 논문은 이러한 문제를 해결하기 위해 칩 외곽을 둘러싸는(Surrounding) Pass-gate를 이용한 새로운 분산형 LDO 구조를 제안하였다. 1,600개의 파워 스테이지 유닛(PSUs)을 칩 주변에 분산 배치하고, 국부 영역에 대한 전압을 메인 컨트롤러에서 제어하는 방식을 통해 국부 전압 편차 문제를 해결하였다. 이 중 핵심은 방향 선택적 중첩 사분면 섹션 제어(Directional-Selective Nested Quadrant Section Control) 기술이다. 이 기술은 아래 그림 2와 같이 4개의 중앙 노드와 각 사분면의 방향 결정 유닛(DDU)의 센싱 전압을 활용하여, 전압 강하가 심한 방향으로만 PSU를 선택적으로 활성화함으로써 대규모 디지털 코어 영역에서도 균일하고 안정적인 출력 전압을 유지하도록 보장한다.



[그림 2] 제안하는 surrounding 방식의 분산형 LDO 구조의 동작방식을 나타내는 블록 다이어그램

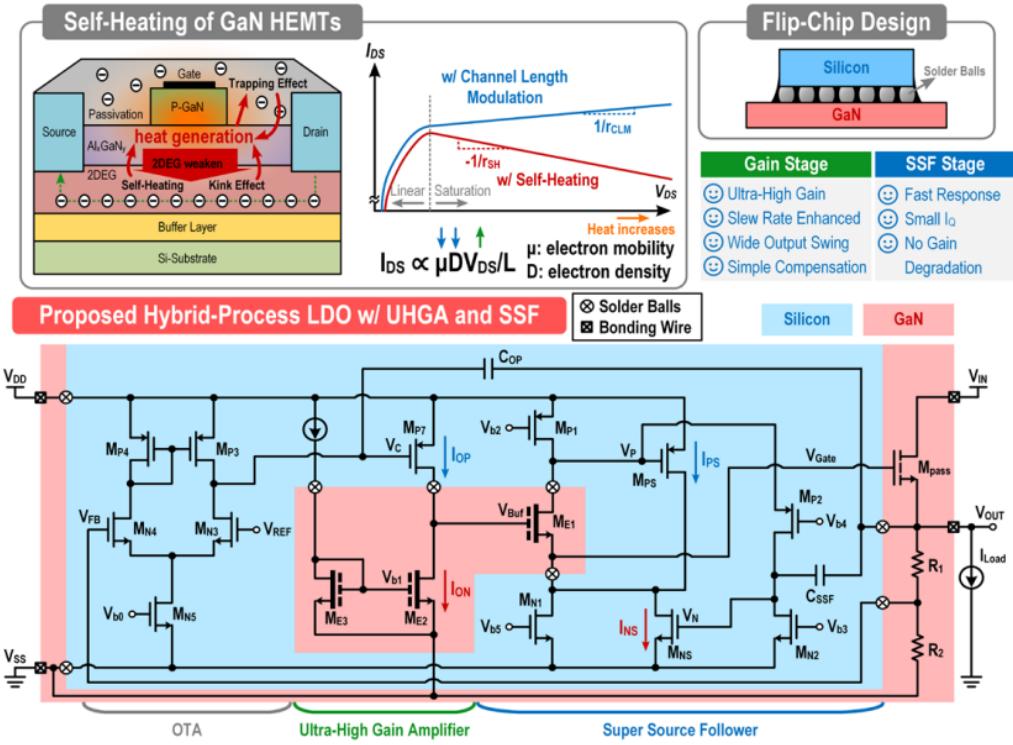
아래 그림3의 본 논문의 LDO 측정 결과와 같이, 제안하는 LDO 제어 방식을 통해 전체 출력 전류 범위에 대하여, 최대 1.78mV-to-5.88mV의 국부 V_{OUT} 편차를 유지한다. 28nm CMOS 공정으로 제작된 제안된 LDO는 0.8V-to-1.15V의 입력에서 50mV의 낮은 dropout을 갖으며, 최대 2.7A의 출력으로 31.88A/mm²의 우수한 전류 밀도를 보여준다. 전체적인 성능지표를 나타내는 FoM (Figure-of-Merit) 또한, 출력 전류에 따라 0.77-to-2.25로 비교표 내의 최신 분산형 LDO 중 2번째로 좋은 수치를 보여준다.



[그림 3] 제안하는 분산형 LDO 구조의 부하 변화에 따른 파워 그리드 상의 V_{OUT} 측정 결과

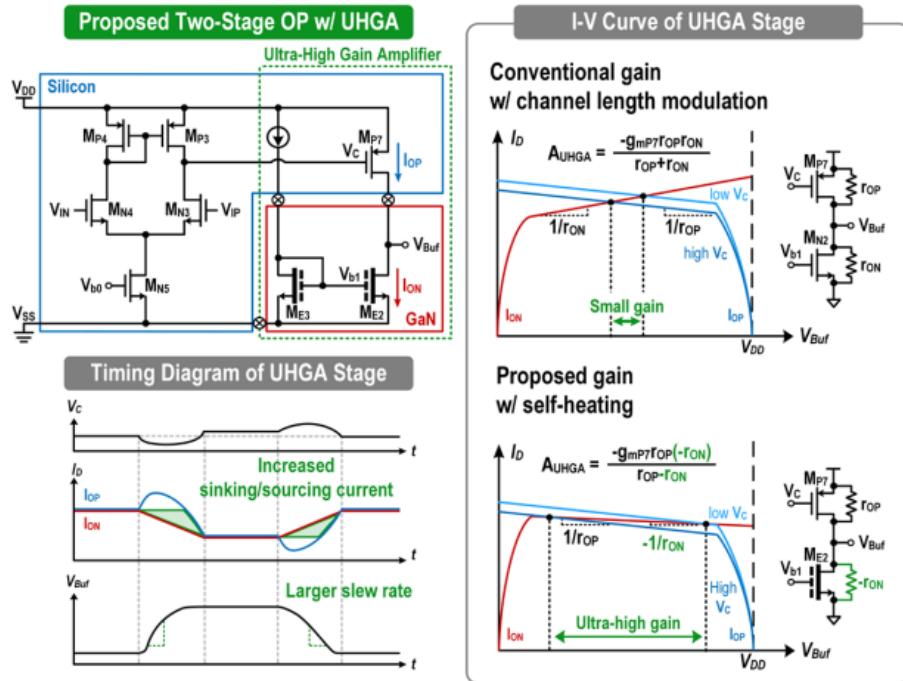
#5-3 본 논문은 GaN HEMT 소자의 self-heating 특성에서 기인하는 소신호 네거티브(-) 저항을 회로 이득으로 적극 활용한 하이브리드 공정의 capless LDO를 제안하였다. 본 논문은 기존 실리콘 공정 기반 LDO에서 필연적으로 요구되던 출력 커패시터 및 다단 증폭기 구조를 배제하면서도, GaN HEMT의 특성을 이용한 초고이득 루프와 빠른 과도 응답, 우수한 line 및 load regulation을 동시에 달성한 점이 특징이다. 아래 그림 4의 상단과 같이 GaN HEMT는 드레인-소스 전압이 증가함에 따라 self-heating에 의해 전자 이동도가 감소하고, 그 결과 포화 영역에서 I-V 특성이 음의 기울기를 갖는 특징이 나타난다. 본 논문에서는 이를 기존 실리콘 기반의 source-follower 구조와 조합하여 매우 큰 유효 출력 저항과 초고 DC 이득을 구현하였다.

아래 그림 4의 하단과 같이 제안된 LDO는 GaN HEMT를 이용한 ultra-high-gain amplifier(UHGA)와 super source follower(SSF)의 두 블록으로 구성된다. Pass device로는 음의 임계 전압을 갖는 depletion-mode GaN HEMT를 사용하여, 일반적인 NMOS 패스 소자에서 발생하는 VGS 드롭 문제를 제거하였다. UHGA는 eGaN 소자를 포함한 CS 구조를 기반으로 하며, 기존 실리콘 공정의 채널 길이 변조(CLW)에 의존하지 않고 높은 출력 임피던스를 형성함으로써, 54.7 dB의 단일 스테이지 DC 이득을 달성하였다.



[그림 4] GaN HEMT소자의 self-heating 특성 (위) 제안하는 하이브리드 공정의 LDO 구조 (아래)

아래 그림 5와 같이 기존의 실리콘 기반 증폭기 구조에서는 출력 전압이 변화할수록 아래쪽 NMOS의 전류도 함께 변화하여, 위쪽 PMOS와 아래쪽 NMOS의 전류가 균형을 이루는 지점에서 출력 전압이 결정된다. 이때 입력이 조금 변하더라도 균형점의 이동이 크지 않아, 출력 변화와 증폭 이득이 제한된다는 한계가 있다. 반면, 제안된 GaN 기반 구조에서는 NMOS 대신 GaN HEMT를 사용한다. GaN 소자는 전압이 증가하면 내부 발열로 인해 오히려 전류가 줄어드는 특성을 보인다. 그 결과, 작은 전압 변화에도 전류 균형점이 크게 이동하게 되고, 출력 전압이 입력 변화에 매우 민감하게 반응한다. 이러한 특징 덕분에, 기존 실리콘 구조보다 해당 노드의 slew-rate를 크게 증가시킬 수 있다.



[그림 5] 실리콘 공정 방식과 GaN HEMT 방식의 DC 특성 차이 및 UHGA의 transient 응답 특성

제안된 LDO는 GaN HEMT를 이용한 높은 이득 덕분에 0.297 mV/A의 load regulation과 0.024 mV/V의 line regulation을 달성하여 multi-stage amplifier 없이도 우수한 레귤레이션 특성을 보인다. 또한, 1mA-to-900mA (450 ns edge) 부하 변동에서, heavy-load 전환 시 95 mV 언더슛과 90 ns settling time을, light-load 전환 시 98 mV 오버슛과 54 ns의 빠른 복구 시간을 기록하였다.

저자정보



이윤호 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : Power management ICs
- 이메일 : uknow@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>

A-SSCC 2025 Review

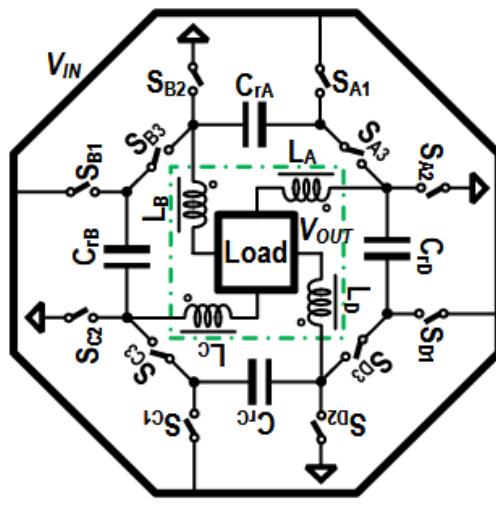
성균관대학교 반도체융합공학과 석사과정 이승언

Session 14 Hybrid DC-DC Converter

이번 ASSCC 2025의 Session 14는 Hybrid DC-DC Converter를 주제로 총 4편의 논문이 발표되었다. 이 세션에서는 다양한 PMIC 어플리케이션에서 높은 power transfer capability를 확보하는 기술뿐 아니라, 높은 VCR과 넓은 VIN 범위에서도 high efficiency를 유지하기 위한 접근들이 소개되었다. 특히 cable/inductor DCR loss, hard-charging noise, multi-output regulation까지 함께 고려한 system-level hybrid power architecture가 중요한 설계 이슈로 부각되고 있음을 잘 보여준다. 그중 14.1과 14.2는 각각 high-power 전원 시스템과 USB-PD 기반 charging 시스템을 대상으로 hybrid converter의 최신 설계 흐름을 잘 보여주는 사례라 할 수 있다.

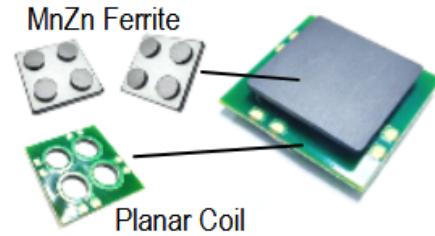
#14-1은 중국 마카오 대학에서 발표한 논문으로, 8–32V 입력, 58W/15A급 SiP-integrated octuple step-down hybrid resonant converter를 제안한다. Dual-path 기반 hybrid SC 구조가 wide VCR에서 갖는 hard-charging noise와 loss 문제를 해결하기 위해, 4-phase coupled inductor를 이용한 resonant 동작으로 soft input/output conduction과 ZVS를 동시에 달성한 것이 핵심이다. 네 개의 phase-to-phase SC resonant cell을 고리 형태로 연결하고, 네 인덕터를 하나의 planar coupled-inductor 코어로 묶어 nominal VCR 8:1을 구현하며, power stage와 함께 vertical SiP integration을 적용해 보드 면적과 기생 성분을 줄였다. 측정 결과 12V 입력 3A 부하에서 92.53% peak efficiency, 32V 입력 15A 최대 부하에서 80.1% 효율을 달성해, high VIN 및 high current 영역에서도 resonant hybrid 구조가 실질적인 efficiency와 power density 이점을 제공할 수 있음을 보여준다.

Proposed 4-Phase Coupled-Inductor Resonant Converter

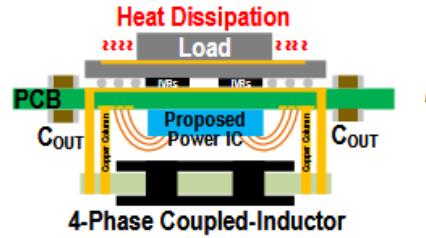


$$V_{OUT}/V_{IN} = 1/2N \text{ (N is number of phases)}$$

4-Phase Coupled-Inductor Design

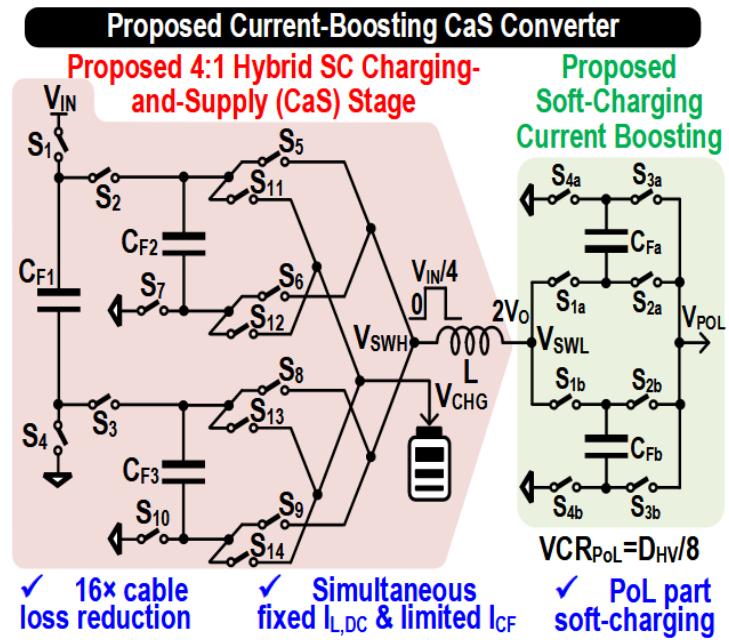


System Integration Scheme



[그림 1] 14.1에서 제안한 4-Phase Coupled-Inductor 기반의 Resonant Converter

#14-2도 중국 마카오 대학에서 발표한 논문으로써 45 W, 12–40 V 입력에서 1S/2S battery charging과 PoL supply를 동시에 지원하는 hybrid CaS (Charging-and-Supply) converter를 제안한다. USB-PD 환경에서 케이블 저항 때문에 PCable이 PCHG를 심하게 잠식하는 문제를 짚고, 4:1 SC stage와 flying capacitor floating technique를 사용해 VCHG와 VSWH를 VIN/4로 제한함으로써 케이블 손실을 16× 줄이고 PoL 쪽은 soft-charging으로 구동하는 것이 특징이다. Duty-cycle lockout-release operation과 IL,DC current boosting 기법을 더해 wide VIN에서 fixed IL,DC와 제한된 inrush ICF를 동시에 만족하면서, 플러그 연결 시에는 케이블로부터 직접 PoL을 구동하고 동시에 배터리를 고속 충전하는 동시 CaS 동작을 구현하였다. 시스템은 94.4% peak efficiency와 90.5% PoL 변환 효율을 달성 하며, USB-PD 기반 high-power charger에서 cable loss, hard-charging loss, wide-range VCR 문제를 동시에 완화하는 hybrid 아키텍처의 가능성을 보여준다.



[그림 2] 14.1에서 제안한 4-Phase Coupled-Inductor 기반의 Resonant Converter

저자정보



이승언 석사과정 대학원생

- 소속 : 성균관대학교
- 연구분야 : Power Management ICs
- 이메일 : se38lee@g.skku.edu
- 홈페이지 : <https://sites.google.com/view/ecsllab>

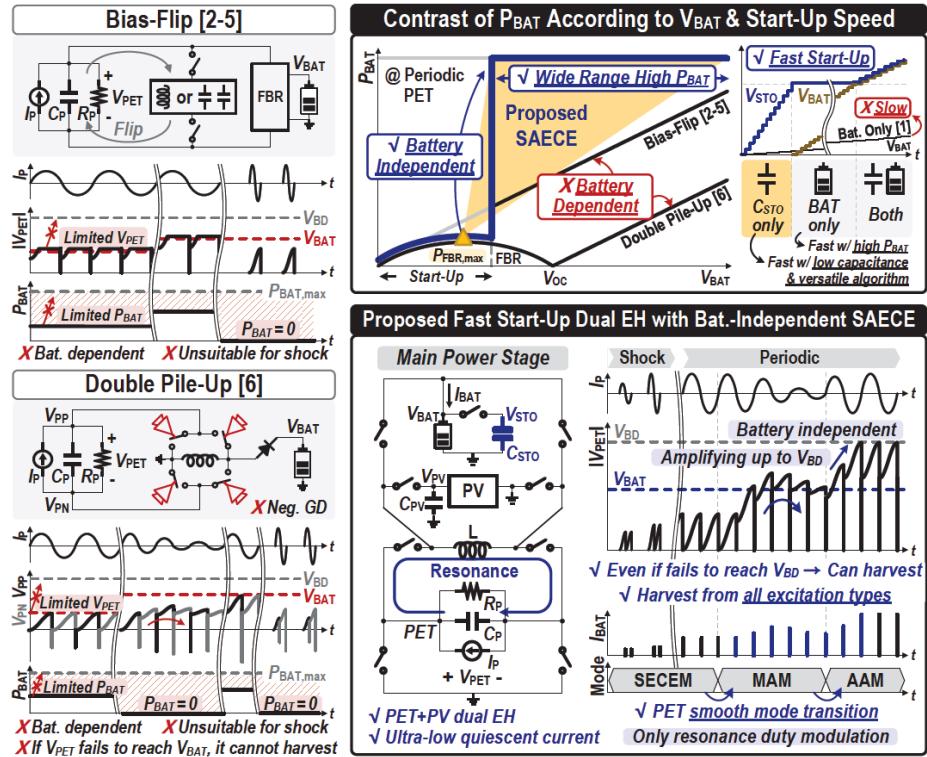
A-SSCC 2025 Review

KAIST 전기및전자공학부 박사과정 이준기

Session 18 Energy-Harvesting and Amplifiers

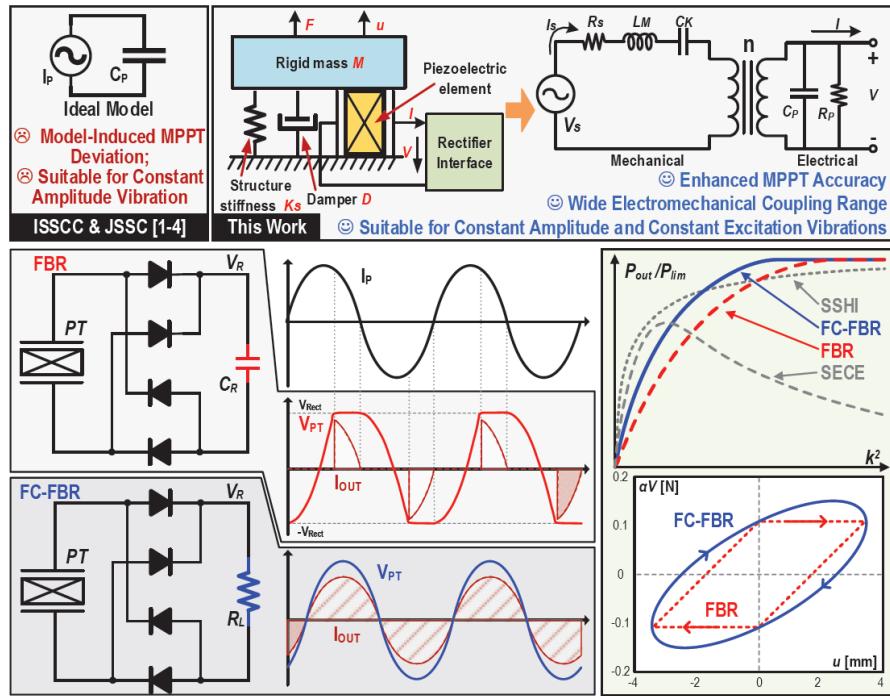
이번 A-SSCC 2025의 Session 18에서는 Energy-Harvesting and Amplifiers라는 주제로 총 5편의 논문이 발표되었다. Energy-Harvesting 분야에서는 다양한 동작 환경에서도 높은 전력 추출을 달성하기 위한 연구가 이루어졌다. 논문 18.1은 배터리 전압 상태와 무관하게 최대 전력 추출이 가능할 뿐만 아니라 빠른 스타트업을 지원하는 하베스팅 IC를 제안하였다. 논문 18.2에서는 압전 소자의 전기기계 결합에 따른 기존의 하베스팅 방식의 한계점을 지적하면서 이를 개선한 구조를 제안하였다. Amplifier 분야에서는 multi-level class-G supply modulator(논문 18.3), power-efficient dynamic amplifier(논문 18.4), linearity-enhanced wideband GaN amplifier(논문 18.5)와 같이 다양한 주제의 논문이 제출되었다. 이번 후기에서는 Energy-Harvesting 분야의 연구 2편을 자세하게 살펴보고자 한다.

#18-1은 POSTECH에서 발표한 논문으로, 배터리 전압에 독립적인 synchronous accumulated electric charge extraction(SAECE) 기술을 적용한 하베스팅 IC를 제안한다. 압전 소자(PET)에서 기존 에너지 하베스팅 기술은 정류 손실을 줄일 수 있다는 장점이 있지만, 추출 가능한 전력이 배터리 전압(V_{BAT})에 의해 제한된다는 한계가 있었다. 본 논문에서는 이러한 한계를 개선하기 위하여, 배터리 전압과 무관하게 압전 소자의 출력 전압(V_{PET})을 IC의 최대 허용 전압(V_{BD})까지 증폭시킬 수 있는 battery-independent SAECE를 제안하였다. 이 기술은 V_{PET} 에 따라서 세 가지 모드를 지원하며, resonance duty cycle(D_R)을 조절하여 부드러운 모드 전환을 달성하였다. 이를 통해 압전 소자의 진동 세기나 배터리 전압 크기에 상관없이 항상 최적의 에너지 추출이 가능하다. 또한, 빠른 스타트업을 위해 초기 구동 시 대용량 배터리 대신, 작은 용량의 보조 캐패시터(C_{STO})를 먼저 충전하는 알고리즘을 적용하였다. C_{STO} 에 저장된 에너지를 이용해 IC를 구동하고 이후 배터리를 충전함으로써, 배터리 전압에 관계없이 빠른 스타트업이 가능하다. 추가적으로 단일 인덕터를 time-multiplexing하여 압전 소자와 태양 전지의 두 가지 에너지원으로부터 상호 간섭 없이 에너지를 추출하였다. 결과적으로 제안하는 하베스팅 IC는 기존의 full-bridge rectifier (FBR) 대비 780% 높은 최대 전력 추출 성능을 달성하였다.

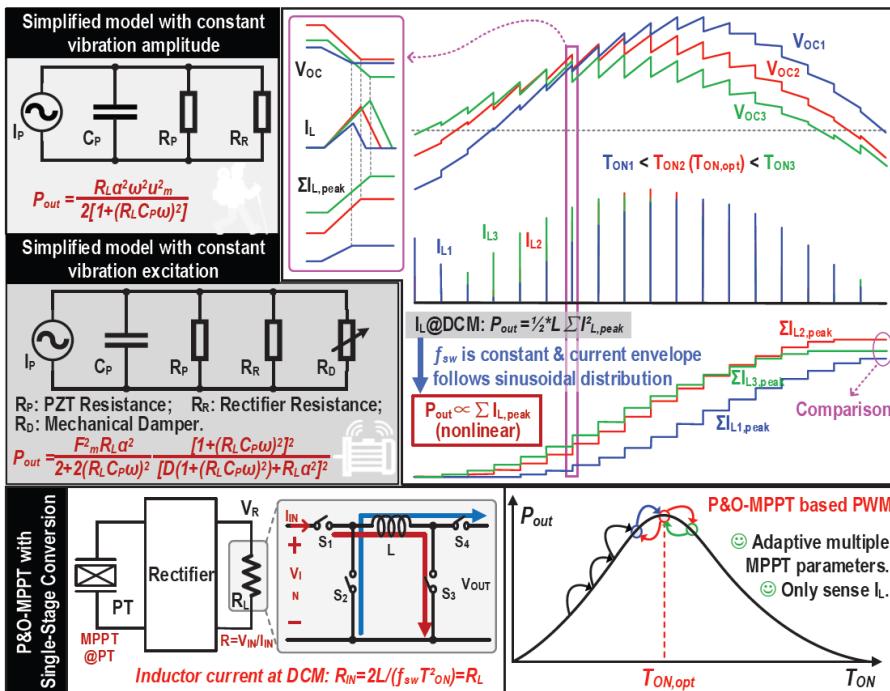


[그림 1] 제안하는 Battery-independent SAECE의 동작 원리 및 기존 기술과의 비교.

#18-2는 xidian university에서 발표한 논문으로, 압전 소자의 에너지 하베스팅을 위한 full-cycle full-bridge rectifier(FC-FBR)와 전류 누적 기반의 hill-climbing maximum power point tracking(MPPT) 기술을 제안한다. 기존의 하베스팅 기법은 압전 소자의 전기기계 결합이 약한 상황에서는 효과적이지만, 강한 결합 상황에서는 오히려 단순한 full-bridge rectifier 보다 효율이 떨어지는 문제가 있다. 본 논문은 이러한 문제를 해결하기 위하여 full-cycle FBR 구조를 제안하였다. 기존 FBR은 압전 소자 전압이 정류 전압보다 높을 때만 에너지를 수확하여 높은 손실이 발생하였으나, 제안하는 FC-FBR은 전체 사이클에서 전류 출력을 달성하여 더 넓은 에너지 변환 영역과 높은 출력력을 확보하였다. 또한, 전류 누적 기반의 MPPT 기법을 새롭게 제안하였다. 출력 전력을 직접 측정하는 대신, 인덕터 피크 전류의 합이 출력 전력과 비례한다는 점을 이용하여 복잡한 전력 감지 회로 없이도 P&O(Perturbation and Observation) 알고리즘을 통해 MPPT를 달성하였다. 측정 결과, 제안하는 회로는 91.3%의 최대 전력변환 효율을 달성하였으며, 기존 단일 스테이지 컨버터들이 100mV 이상의 출력전압 리플을 보이는 것과 달리, 20mV 미만의 매우 낮은 출력 리플을 달성하였다. 추가적으로 clock-multiplexing을 통하여 두 개의 압전 소자에 대하여 상호 간섭 없이 동시에 에너지 수확이 가능한 것을 실험적으로 검증하였다.



[그림 2] 제안하는 Full-cycle FBR(FC-FBR)의 동작 원리 및 기존 FBR과의 비교.



[그림 3] 제안하는 전류 누적 기반의 MPPT 방식의 동작 원리.

저자정보



이준기 박사과정 대학원생

- 소속 : KAIST
- 연구분야 : Power Management ICs
- 이메일 : leejune@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net/>

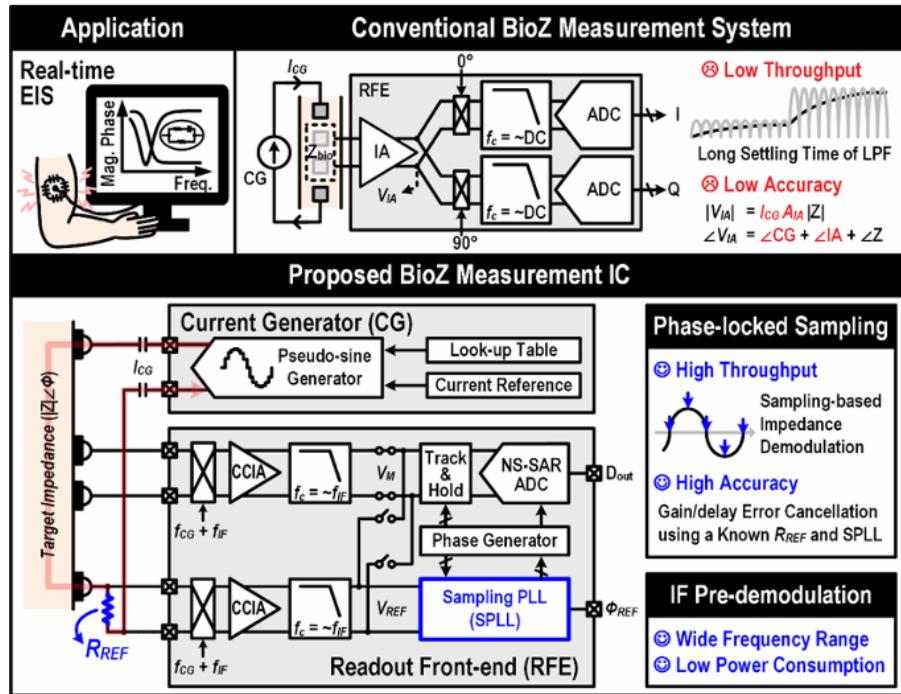
ASSCC 2025 Review

고려대학교 전기및전자공학부 박사과정 안재웅

Session 27 Precise and Robust Biomedical Interfaces

이번 2025 ASSCC의 Session 6에서는 Imagers라는 주제로 총 4편의 논문이 발표되었다.

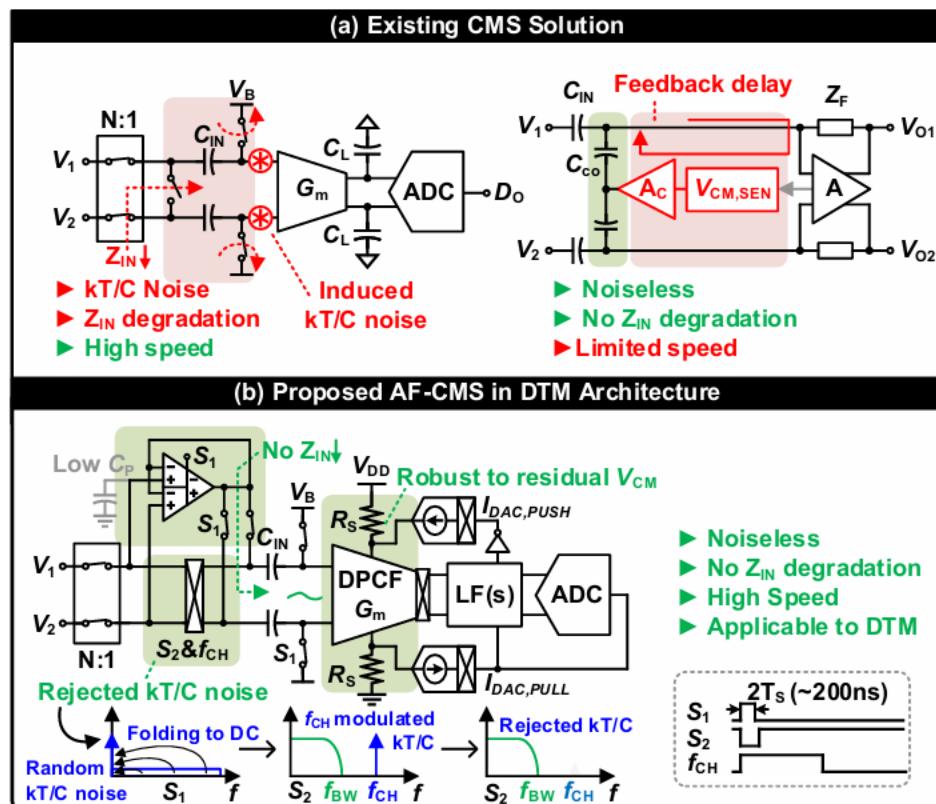
#27-1 이 논문은 기존 I/Q 기반 bio-impedance readout이 가지는 두 가지 한계, 즉 1) CG와 RFE 간의 위상지연·이득오차로 인해 발생하는 magnitude/phase 불일치, 2) DC 하향변환 이후 LPF settling 시간 때문에 발생하는 문제를 해결하기 위한 새로운 phase-locked sampling(PLS) 기반 EIS IC를 제안한다. 제안된 구조는 pseudo-sine current generator에 더해, target impedance와 기준 저항(RREF)을 동시에 측정하는 dual-AFE를 사용한다. 각 경로는 IF 대역에서 capacitive-coupled IA를 통해 증폭·필터링된 뒤, VREF의 zero-crossing에 위상 동기된 sampling clock을 이용해 VM과 VREF를 교차 샘플링한다. 한 주기 동안 $0^\circ/90^\circ/180^\circ/270^\circ$ 의 4-위상을 추출하여 실수·허수 성분을 한 주기안에 구할 수 있다. 결과적으로 LPF의 대역을 DC 보다 더 높게 설정할 수 있어 빠른 ODR이 가능해 진다. Sampling PLL(SPLL)도 사용이 되었는데, VREF가 VCM과 만날 때의 phase locked 된 타이밍을 이용하여 phase delay 문제를 해결하였다. SPLL은 sampling-phase detector와 frequency-locked loop(FLL)를 결합해, 큰 위상오차에서는 FLL이 빠르게 frequency를 수렴시킨다. 180 nm 공정으로 제작된 칩은 4 kHz IF에서 동작하며, 4 kS/s ODR을 실현한다. 20 Ω ~4 k Ω 범위에서 저항 측정 오차는 0.4% 이하이며, 4 kHz~2 MHz 생체 임피던스 모델 측정에서 magnitude 오차 1.78%, phase 오차 1.8° 를 달성한다. SPLL 잠금 안정도는 한 주기 이내에서 확보되며, 100 k Ω 환경에서 39.4 dB 이득 조건에서 40,000개의 샘플이 리코딩되었고 표준편차는 34.9 m Ω / $\sqrt{\text{Hz}}$ 를 보였다.



[그림 1] #27-1에서 기존의 구조와 제안한 bioZ 측정 IC

#27-2 고집적(high-density), 다채널(high-channel-count) 신경 기록 프런트엔드(FE)에서는 면적 최소화와 채널 간 균일성이 중요하며, 이를 위해 direct time-division multiplexing(DTM)-FE 구조가 널리 사용되어 왔다. 하지만 DTM은 빠른 스위칭에 의해 공통모드 간섭(CMI)이 상향 변조되어 커지기 때문에 왜곡과 포화가 기존 구조보다 훨씬 쉽게 발생한다. 이 논문은 이러한 문제를 해결하기 위해 active feedforward CMS(AF-CMS)를 제안한다. S1 동안 각 채널의 CMI를 입력 커패시터(C_{IN})에 샘플링해 저장하고, S2에서는 C_{IN} 이 CMI를 제거한 뒤 differential-mode(DM) 신호만 통과시킨다. DM 신호는 continuous-time 2nd-order incremental ADC(IADC)의 fine loop(DPCF-Gm)와 coarse loop(DM tracker)를 통해 처리된다. 샘플링 과정에서 발생하는 kT/C noise는 chopping을 통해 DM 경로에서 제거되고, C_{IN} 은 버퍼에 의해 구동되기 때문에 입력 임피던스 저하도 없다. 또한 AF-CMS는 샘플링 기반이므로 Gm variation에 따라 residual CMI가 남을 수 있다. 이를 해결하기 위해 논문은 Gm을 루프 안에 포함시키는 구조를 채택하였다. IDAC을 R_s 를 통해 피드백 구조를 사용함으로서 폐루프 이득이 ($IDAC \cdot R_s$)−1로 고정되어 Gm 변화에 영향을 받지 않는다. 하지만 Gm degeneration으로 인한 낮은 Gm과 증가된 노이즈를 보완하기 위해, 논문은 dual-path current-feedback(DPCF)-Gm을 제안해 유효 Gm을 두 배로 높이고, 선형성을 향상시키는 구조를 적용하였다. 180nm CMOS로 구현된 8채널 DTM-DD FE는 AF-CMS 적용 시 10 mVpp, 40 Hz CMI 조건에서 119 dB의 peak CMRR

을 달성해 평균 34 dB의 개선 효과를 보였다. 또한 100 Hz, 700 mVpp의 매우 큰 CMRR 상황에서도 포화되지 않고 51.4 dB SNDR을 유지해, 넓은 common-mode 범위에서도 안정적인 동작이 가능함을 입증하였다. IRN도 AF-CMS 적용 여부에 따른 차이가 거의 없어, 제안된 CMS가 노이즈를 증가시키지 않음을 확인하였다. 검증된 neural signal 재생 실험 (LFP, spikes)에서도 원신호와의 높은 상관($R=0.998$), 동일한 spike 검출 개수를 보였으며, 기존 DTM FEs 대비 가장 높은 CMRR과 가장 넓은 CM 범위를 제공한다는 점에서 경쟁력을 확인하였다.



[그림 2] 기존의 CMS solution과 제안한 AF-CMS in DTM 구조

저자정보



안재웅 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : 디스플레이 드라이버 / 픽셀 보상 / 터치 센서
- 이메일 : ajw1104@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>

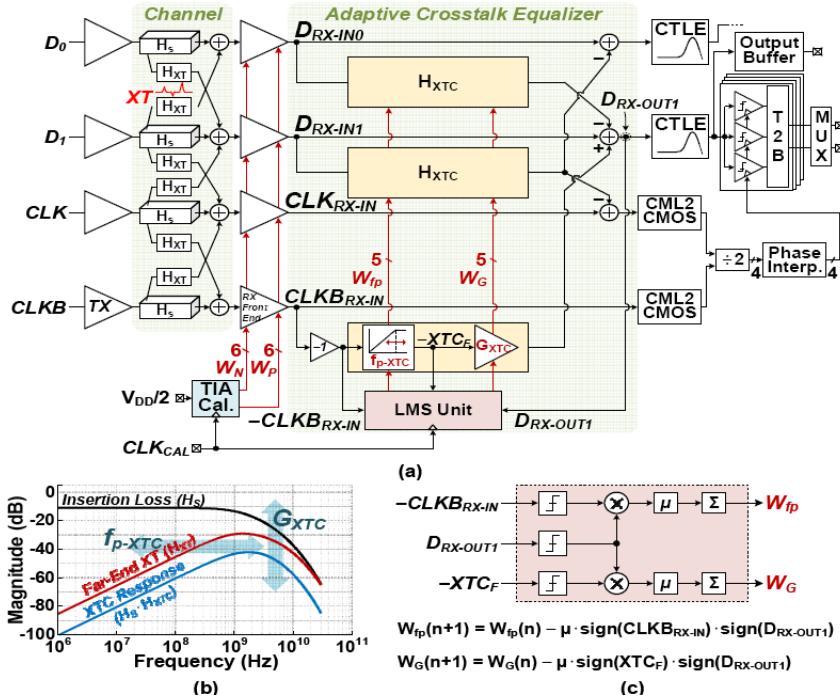
A-SSCC 2025 Review

서강대학교 전자공학과 석박통합과정 박종민

Session 30 Analog and Digital Interface

2025 ASSCC Session 30는 Transceiver 2편, 온도센서 1편, Hall sensor 1편으로 총 4편의 다양한 영역에서의 interface를 소개하고 있다. 실리콘 칩의 소형화 및 센서 집적화에서 중요한 요소인 환경변화에 Adaptive한 솔루션을 공통된 주제로 제시하고 있고, 그 과정에서 저전력으로 에너지효율성을 강조하는 논문들이 발표되었다. 그 중 최근 많은 주목을 받고 있는 Chiplet interface의 난제들을 다루고 있는 논문 2개를 살펴볼 예정이다.

#30-1 본 논문은 카이스트, 캐나다 Marvell 그리고 SK Hynix에서 공동 발표한 논문으로 2.5D chiplet packaging에서 이슈가 되는 Crosstalk과 온도변화에 대한 tolerance를 갖춘 interface solution을 제안한다. 작은 면적의 칩에서 높은 데이터속도의 transceiver를 구현하기 위해 single-ended data lane의 간격이 점점 좁아지고, 그로 인해 Capacitive coupling으로 인한 Crosstalk(XT)이 심화된다. PAM-4에서 이 현상은 더 두드러지며 SNR성능이 감소하게 되는데, 이를 해결하기 위해 본 논문은 adaptive Crosstalk Equalizer를 도입하였다. XT의 특성과 동일한 High Pass Filter를 활용하여 Data에 포함된 XT성분을 제거하는 방식이며 Least Mean Square(LMS) 알고리즘을 통해 filter의 cutoff frequency와 DC gain을 조절하게 된다. LMS를 통한 filter 특성의 최적화는 XT를 유발하는 Aggressor의 신호와 XT의 영향을 받은 Victim신호의 Equalizing 결과를 종합해 이루어지게 되는데, Victim의 XT가 다시 aggressor에 영향을 주는 mutual XT를 방지하기 위해 Inversion Clock signal을 aggressor로 활용하였다. 추가적으로 calibration이 포함된 replica TIA를 RX Front-end에 적용해 -25~115°C의 넓은 온도변화에 대한 Common-mode mismatch를 3mV수준으로 줄였다. 그 결과 PAM-4 신호 레벨 간 간격의 불일치를 나타내는 Ratio-Level Mismatch(RLM)을 83%에서 97%로 향상시켰으며 crosstalk이 포함된 clock의 rms jitter 성능을 10.49ps에서 2.17ps로 개선시켰다. 1E-12의 BER에서 0.11UI의 Bathtub 지표를 보였고, 넓은 온도변화에서 0.02UI의 적은 Eye opening variation을 보였다.



[그림 1] Adaptive crosstalk equalizer를 이용한 PAM-4 Transceiver의 구성

#30-2 는 광운대학교에서 발표한 논문으로, 입력 데이터의 Transition을 기반으로 동작하는 새로운 송수신기 구조를 제안한다. 본 연구는 Die-to-Die 인터페이스용 송수신기 설계에서, Capacitor 기반 수신기 구동 방식이 갖는 면적 증가와 제한적인 런길이(run length) 문제를 해결하기 위해 세 가지 접근법을 제시한다.

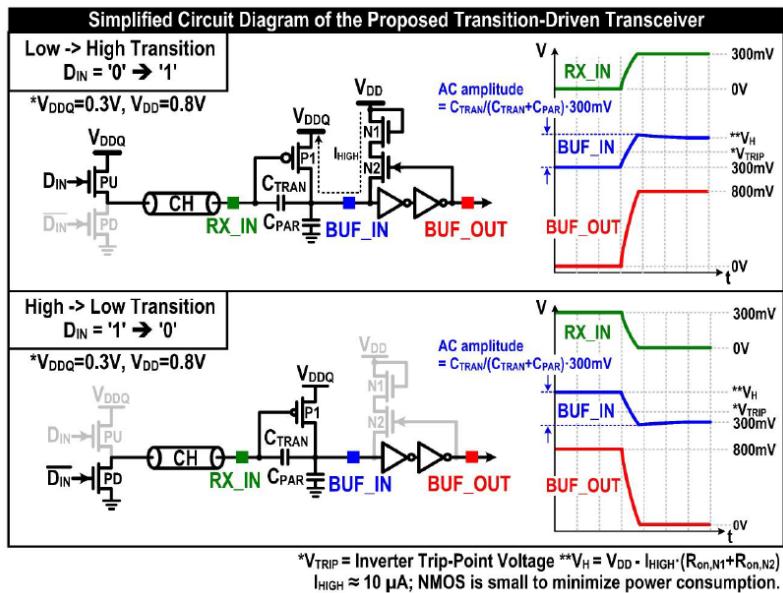
첫째, AC-coupling Capacitor를 송신기(TX)와 수신기(RX)가 공유하도록 하여 데이터 Transition을 감지하는 방식을 도입했다.

둘째, 입력 데이터의 DC 레벨에 따라 Low level에서는 PMOS를, high level에서는 피드백 기반 NMOS를 선택적으로 사용해 데이터를 안정적으로 수신하는 구조를 제안했다.

셋째, 간단한 inverter 기반 RX를 활용하여 입력 데이터의 middle voltage를 inverter의 trip-point 근처로 정렬시켜 동작 안정성을 확보했다.

특히 High→Low Transition시 피드백 기반 NMOS에서 발생할 수 있는 AC-coupling 캐패시터 induced transition feed-through로 인해 eye의 Low DC level 아래로의 undershoot 현상을 보상하기 위해 capacitor를 추가함으로써 Eye margin을 확보하였다.

제안된 송수신기는 약 0.002 m²의 매우 작은 면적과 118.89 Tb/s/mm/pJ/bit의 높은 FOM(Figure of Merit, 파워 대비 Effective Bandwidth)을 기록하며 우수한 성능을 입증했다.



[그림 2] 제안된 Transition-driven transceiver의 operation

저자정보

박종민 석박통합과정 대학원생



- 소속 : 서강대학교
- 연구분야 : Reference-less CDR/High-Speed Wireline Interface
- 이메일 : park_john@naver.com
- 홈페이지 : <https://sc.sogang.ac.kr/melab>